

(19)日本特許庁(J P)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-251432

(43)公開日 平成5年(1993)8月28日

(51)Int.Cl. ⁸	識別記号	庁内整理番号	F I	技術表示所
H 0 1 L 21/316 29/784	T	8518-4M 9056-4M	H 0 1 L 29/ 78	3 1 1 C

審査請求 未請求 請求項の数8(全 8 頁)

(21)出願番号	特願平4-48536	(71)出願人	000005821 松下電器産業株式会社 大阪府門真市大字門真1006番地
(22)出願日	平成4年(1992)3月5日	(72)発明者	筒 博司 大阪府門真市大字門真1006番地 松下電器産業株式会社内
		(72)発明者	佐野 浩 大阪府門真市大字門真1006番地 松下電器産業株式会社内
		(72)発明者	吉田 守 大阪府門真市大字門真1006番地 松下電器産業株式会社内
		(74)代理人	井原士 実田 元敏

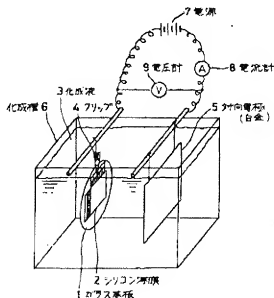
最終頁に続く

(54)【発明の名称】 シリコンの陽極酸化方法並びにその方法を用いた薄膜トランジスタの製造方法

(57)【要約】

【目的】 本発明は、アルカリ金属を含まない陽極酸化を含む化成液を用いてシリコンを陽極酸化して界面の制御な高性能の陽極酸化膜を得る。

【構成】 化成槽6内に、エチレングリコール中に0.04Mの硝酸アンモニウムを溶かした化成液3中にガラス基板1を浸漬し、クリップ4で挟みこのクリップを通じて電極7から陽極酸化電流を供給する。そして、ガラス基板の対向電極に白金5を用い、電流密度4〜8mA/cm²、化成電圧150Vで陽極酸化することで、陽極酸化膜が形成される。



(2)

特開平6-251432

【特許請求の範囲】

【請求項1】 シリコンを主成分とする半導体層を、アルカリ金属を含む不純物を含有して形成し、その不純物を酸化させた膜をゲート絶縁層として用いることを特徴とするシリコンの半導体化方法。

【請求項2】 前記アルカリ金属を含む不純物が少なくとも硝酸アンモニウム(NH_4NO_3)もしくは硝酸トリメチルアンモニウム($(\text{CH}_3)_3\text{NNO}_3$)を含むことを特徴とする請求項1記載のシリコン半導体化方法。

【請求項3】 基板上に、半導体層を選択的に形成する第1の工程と、前記半導体層を保護膜として第1の導電層を形成し、前記半導体層の露出部に第1の絶縁層を形成する第2の工程と、前記第1の導電層を除去しゲート電極及びゲートバス配線となる第2の導電層を形成する第3の工程と、前記第2の導電層をマスクとして前記半導体層中にドーパントまたはアクセプタとなる不純物を導入しソース領域及びドレイン領域を形成する第4の工程と、第2の絶縁層を選択的に被着形成する第5の工程と、ソースバス配線とともに前記ソース及びドレイン領域に接触するようにソース電極とドレイン電極を形成するように第3の導電層を選択的に形成する第6の工程と、から少なくともなる薄膜トランジスタの製造方法において、前記半導体層はシリコンを主成分とする半導体からなり、前記第1の絶縁層は、前記第1の導電層から電力を供給することにより前記半導体層を酸化して形成することを特徴とする薄膜トランジスタの製造方法。

【請求項4】 基板上に、ドーパントもしくはアクセプタとなる不純物を先づ含まない第1の半導体層を形成する第1の工程と、ドーパントもしくはアクセプタとなる不純物を含む第2の半導体層を形成する第2の工程と、ソース及びドレイン電極とともにソースバス配線を形成するように第1の導電層を選択的に形成する第3の工程と、前記第2の半導体層の露出部に絶縁層を形成する第4の工程と、選択的に第2の絶縁層を形成する第5の工程と、ゲート電極とゲートバス配線となる第2の導電層を形成する第6の工程と、から少なくともなる薄膜トランジスタの製造方法において、前記半導体層はシリコンを主成分とする半導体からなり、前記絶縁層は、前記第1の導電層から電力を供給することにより前記半導体層を酸化して形成することを特徴とする薄膜トランジスタの製造方法。

【請求項5】 前記第2の半導体層は前記第1の半導体層上の不純物を含む半導体層を選択的に被着形成することを特徴とする請求項4記載の薄膜トランジスタの製造方法。

【請求項6】 前記第2の半導体層は前記第1の半導体層に不純物を導入することにより形成することを特徴とする請求項4記載の薄膜トランジスタの製造方法。

【請求項7】 基板上に、ソースバス配線及びソース電

極及びドレイン電極となる第1の導電層を形成する第1の工程と、半導体層をトランジスタ形成領域及びソースバス配線とゲートバス配線の交差部に選択的に形成する第2の工程と、前記半導体層の露出部及びソースバス配線とゲートバス配線の交差部に絶縁層を形成する第3の工程と、ゲート電極及びゲートバス配線となる第2の導電層を形成する第4の工程と、から少なくともなる薄膜トランジスタの製造方法において、前記半導体層はシリコンを主成分とする半導体からなり、前記絶縁層は、前記第1の導電層から電力を供給することにより前記半導体層を酸化して形成することを特徴とする薄膜トランジスタの製造方法。

【請求項8】 基板上に、ソース及びドレイン電極とともにソースバス配線も形成するように第1の導電層を選択的に形成する第1の工程と、ドーパントもしくはアクセプタとなる不純物を先づ含まない第1の半導体層を形成する第2の工程と、ドーパントもしくはアクセプタとなる不純物を含む第2の半導体層を形成する第3の工程と、前記第2の半導体層の露出部に絶縁層を形成する第4の工程と、選択的に第2の絶縁層を形成する第5の工程と、ゲート電極とゲートバス配線となる第2の導電層を形成する第6の工程と、から少なくともなる薄膜トランジスタの製造方法において、前記半導体層はシリコンを主成分とする半導体からなり、前記絶縁層は、前記第1の導電層から電力を供給することにより前記半導体層を酸化して形成することを特徴とする薄膜トランジスタの製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、シリコンの半導体化方法並びに、その方法を用いた半導体素子、表示素子、受光素子等に用いられる薄膜トランジスタの製造方法に関する。

【0002】

【従来の技術】 コプレーナ型等のトップゲート型薄膜トランジスタに自己整合技術が可能であるため、様々な半導体素子のトランジスタ構造としてよく用いられている。ここでは、液晶ディスプレイの駆動回路の一部として用いられている多結晶シリコンを半導体層として用いたコプレーナ型の薄膜トランジスタを用いて説明する。

【0003】 図1は従来のコプレーナ型の薄膜トランジスタの要部断面図を示し、図中、22は非晶質絶縁基板であって、ガラス基板、石英基板などが用いられ、ときにはSiO₂で覆われたSi基板を用いることもある。しかしながら、低コストのガラス基板を用いるには約600℃以下の比較的低温でプロセスを行わなければならない。ここでは600℃以下の低温プロセスを用いることとし非晶質絶縁基板22としてガラス基板を用いる。

【0004】 このガラス基板22上に、第1ガスとしてSiH₄を用い、基板温度450℃〜600℃の低温化学気相堆

(3)

特開平 5-251432

積法(以下ではLPCVD(Low Pressure-Chemical Vapor Deposition)法と略記する)により非晶質シリコン薄膜を堆積させる。この非晶質シリコン薄膜中にはSi-HあるいはSi-H₂の形で水素が多量に含まれているので300℃~450℃の熱処理を行い、前記非晶質シリコン薄膜に含まれる水素を脱離させる。

【0005】次に、水素脱離された非晶質シリコン薄膜を、500℃~700℃の低温熱処理を行い、前記水素脱離された非晶質シリコン薄膜を同相成長させると、同相成長したシリコン薄膜、即ち、多結晶シリコン薄膜23が成長する。アニール雰囲気としては、真空ガス、水素ガス、アルゴンガス、ハリウムガスなどを用いる。1×10⁻³から1×10⁻¹ Torrの高真空雰囲気中でアニールを行ってもよい。低温アニールでは選択的に、結晶成長の活性化エネルギーの小さな結晶方位を持つ結晶のみが成長し、しかも緩やかに大きく成長する。

【0006】次に前記多結晶シリコン薄膜23を一歩のフォトリソグラフィ及びエッチングにより島状にパターンニング・トランジスタを作製する場合はP⁺あるいはAs⁺を用い、pチャンネル・トランジスタを作製する場合はB⁻等を用いる。不純物添加方法としては、

【0009】イオン注入の他に、レーザードーピング法あるいはプラズマドーピング法などの方法がある。

【0010】続いて層間絶縁層28として、例えば酸化シリコン膜を数百nm~数μm程度堆積する。形成方法としては、LPCVD法あるいはプラズマCVD法などが簡単である。反応ガスには、SiH₄、NH₃、N₂とH₂ガス等の混合ガスなどを用いる。

【0011】ここで、水素プラズマ法、あるいは水素イオン注入法、あるいは水素イオンを導入すると、ゲート酸化膜面などの方法で水素イオンを導入すると、ゲート酸化膜面などに存在するダングリングボンドなどの欠陥が不活性化される。このような水素化工程は、層間絶縁層28を堆積する前に行ってもよい。

【0012】最後に、前記層間絶縁層28及びゲート絶縁層24にコンタクトホール29を形成し、ソース電極30及びドレイン電極31として、例えばアルミニウムAlを用いて形成する。このようにしてコプレーナ型薄膜トランジスタを形成させる。

【0013】

【発明が解決しようとする課題】しかしながら上記の製造方法ではゲート絶縁層24を形成するには、低コストのガラス基板22を用いてコストを下げようとすると、ゲート絶縁層の形成は半導体層の形成と不連続になり、ゲート絶縁層形成後の処理方法によっては半導体/絶縁層界面が汚染され、素子の特性を劣化させると言う問題点がある。また、石英基板を用いると熱酸化処理を使用することができ、半導体/絶縁層界面は密着に保たれるが、コストが高くなるという問題点を有している。

【0014】本発明はかかる点に鑑み、基板としては低

コストのガラス基板22を用いて、半導体/絶縁層界面を密着に保つ絶縁層の形成並びに素子に優れた信頼性の高いシリコンの陽極酸化膜及び導体トランジスタの製造方法を提供することを目的とするものである。

【0017】次に、ゲート電極25を例えば多結晶シリコンを用いて形成する。形成方法としては、CVD法、スパッタ法等の方法があるが、ここでの詳しい説明は省略する。続いて前記ゲート電極25をマスクとして不純物をイオン注入し、自己整合的にソース電極26およびドレイン電極27を形成する。前記不純物としては、pチャンネル

【0008】

【外1】

コストのガラス基板22を用いて、半導体/絶縁層界面を密着に保つ絶縁層の形成並びに素子に優れた信頼性の高いシリコンの陽極酸化膜及び導体トランジスタの製造方法を提供することを目的とするものである。

【0015】

【課題を解決するための手段】本発明は、シリコンを主成分とする半導体と、アルカリ金属を含むいかなる酸度を含有した酸を用いて陽極酸化し、この陽極酸化膜をゲート絶縁層として用いることを特徴とする。

【0016】

【作用】本発明はアルカリ金属が含まれていない陽極酸化膜を含む酸化膜を用いることにより、熱酸化膜とほぼ同等の組成で、しかも陽極酸化膜中には可動イオンのない信頼性が高く、膜質の良い陽極酸化膜が形成できる。

【0017】また、本発明は、半導体層/絶縁層界面を密着に保つ導体トランジスタを、石英基板を用いず、低コストのガラス基板22を使用して製造できる。また本発明の導体トランジスタは性能及び信頼性に優れた薄膜トランジスタである。

【0018】

【実施例】(実施例1)図1は本発明の第1の実施例の陽極酸化方法を実施する装置概略図を示し、これは、ガラス基板1上にシリコン薄膜2を堆積する方法である。このシリコンは単結晶シリコン、多結晶シリコン、非晶質シリコンのいずれであってもよい。次にこのガラス基板を化成槽6内に盛されたエチレングリコール中に0.04Mの陽極アンモニウム(NH₄NO₃)を溶かした酸化液3中に浸漬し、クリップ4で挟み、このクリップを通じて電

(4)

特開平5-2514332

電流計、9は電圧計であり、対向電極は例えば白金を用い、電流密度4~8mA/cm²、化成電圧150Vで陽極酸化する。電流密度にもよるが1~2時間約100nmの厚みの陽極酸化膜が形成される。この陽極酸化膜の組成は、ESCA (Electron Spectroscopy for Chemical Analysis) の測定によれば陽極酸化膜とはほぼ同等であり、しかかも化成膜にはカリウムやナトリウム等のアルカリ金属が含まれていないので、陽極酸化膜中には可動イオンがなく信頼性が高い。またこの陽極酸化膜の絶縁破壊電界は8MV/cmとゲート絶縁層として十分な耐圧を有しているのでゲート絶縁層として用いることができる。

【0019】上記実施例では、化成膜3としてエチレングリコール中に陽極アモニウムを溶かした溶液を用いたが、陽極テトラメチルアモニウム ((CH₃)₄N) NO₃等のアルカリ金属を含まない陽極塩ならば何を用いてもほぼ同等の結果が得られる。

【0020】(実施例2) 図2は本発明の第2の実施例における薄膜トランジスタの製造方法の主要工程の概略断面図を示したものであり、まず、図2(a)に示すようにガラス基板10上に多結晶シリコン11(半導体層)を逐层的に被覆形成する。多結晶シリコンの被覆形成には、非晶質シリコンからの固相成長、レーザーアニール等の方法やLPCVD法等で直接的に多結晶シリコンを増殖する方法もある。

【0021】次に、図2(b)に示すように例えばアルミニウムA1を用いてソース電極12及びドレイン電極13を形成する。この時図示はしないが、ソース電極もしくはドレイン電極のいずれか一方または両方に電圧が加えられるように外部への取り出し電極へ接続されるように形成する。

【0022】次に図2(c)に示すように、通常のフォトリソグラフィでアルミニウムをレジストで取り出し電極部以外は完全に被覆する。そして多結晶シリコン11を上記図1に示す第1の実施例の製造例1の方法で陽極酸化する。このとき、基板表面でのキャリア密度を増やすため光照射を行うことが望ましい。

【0023】次に、レジスト14を剥離すると図2(d)に示すように陽極酸化膜15が形成される。その後、図示はしないがもう一度フォトリソグラフィ・エッチングにより各々のソース・ドレイン電極12、13を独立させる。そして例えばロクロCMを用いてゲート電極16を形成し、このゲート電極16をマスクとしてイオンを打ち込みソース領域17及びドレイン領域18を形成すれば図2(e)に示すような薄膜トランジスタが形成される。

【0024】(実施例3) 図3は本発明の第3の実施例による薄膜トランジスタの概略断面図であり、実施例2において陽極酸化膜形成後(図2(c))、酸化シリコン、酸化シリコン、酸化タングステン等の高絶縁層19を被覆することにより2重ゲート絶縁層として、ゲート絶縁層中のピンホールによるショート不良を低減させる。

【0025】(実施例4) 図4は本発明の第4の実施例における薄膜トランジスタの製造方法の主要工程の概略断面図を示したものであり、まず、図4(a)に示すようにガラス基板10上に不純物を殆ど含まない多結晶シリコン20(半導体層)を被覆形成する。多結晶シリコンの被覆形成には、非晶質シリコンからの固相成長、レーザーアニール等の方法やLPCVD法等で直接的に多結晶シリコンを増殖する方法もある。次に、この半導体層上に例えばLPCVD法で不純物として珪を多く含む多結晶シリコン21を堆積し図4(b)のようにフォトリソグラフィ・エッチングでパターンニングする。

【0026】次に、図4(b)のように例えばアルミニウムA1を用いてソース電極12及びドレイン電極13を形成する。この時図示はしないが、ソース電極もしくはドレイン電極のいずれか一方または両方に電圧が加えられるように外部への取り出し電極へ接続されるように形成する。

【0027】次に通常のフォトリソグラフィでアルミニウムをレジストで取り出し電極部以外は完全に被覆する。そして珪を多く含む多結晶シリコン21を実施例1の方法で陽極酸化する。このとき、基板表面でのキャリア密度を増やすため光照射を行うことが望ましい。この方法によればソース・ドレイン領域17、18(図2参照)を形成するための不純物イオン打ち込みの工程が不要となるばかりでなく、陽極酸化を行うシリコンとして、珪を多く含む多結晶シリコン21を用いているので導電率が上がり、陽極酸化が容易となる。

【0028】次に、レジストを剥離すると図4(c)に示すように陽極酸化膜15が形成される。その後、図示はしないがもう一度フォトリソグラフィ・エッチングにより各々のソース・ドレイン電極12、13を独立させる。

【0029】そして高絶縁層19を堆積後、ゲート電極形成には、例えば多結晶シリコンを全面に被覆し、全面に非晶シリコンを被覆し表面から露光することにより自己整合的にゲート電極16を形成することが可能となる。このようにして図4(d)に示すような薄膜トランジスタは形成される。

【0030】尚、上記実施例ではLPCVD法を用いて珪を多く含む多結晶シリコンを堆積したが、その他の方法、例えばプラズマCVD法、スパッタ法、ECRCVD法等の方法でもよい。また不純物として珪を多く含む多結晶シリコンを用いたが、ヒ素、ボロン等のドナーもしくはアクセプタとなる不純物ならばどれでもよい。

【0031】また、上記実施例では自己整合的にゲート電極を形成したが、通常のフォトリソグラフィ・エッチングで形成してもよいことは言うまでもない。

【0032】(実施例5) 本実施例は、実施例4において不純物を殆ど含まない多結晶シリコンの表面近所にドナーまたはアクセプタとなる不純物となるイオンをイオ

特開平5-251432

(5)

8

ン・インプランテーション、プラズマドーピング、イオンシヤードドーピング等の方法により導入し、不純物を含む半導体層を形成したものであり特に図示はしない。

【0033】(実施例6) 図5は本発明の第6の実施例における薄層トランジスタの製造方法の主要工程概略の概略断面図を示したものであり、まず、図5(a)に示すようにガラス基板10上に不純物を殆ど含まない多結晶シリコン20(半導体層)を選択的に基板形成する。この多結晶シリコン20の基板形成には、非晶質シリコンからの固相成長、レーザアニール等の方法やLPCVD法等で

物を殆ど含まない多結晶シリコン20(半導体層)を選択的に基板形成する。多結晶シリコンの基板形成には、非晶質シリコンからの固相成長、レーザアニール等の方法やLPCVD法等で直接的に多結晶シリコンを堆積する方法もある。次に、例えばLPCVD法で不純物として炭素を多く含む多結晶シリコン21を堆積し図5(a)のようにフォトリソグラフィ・エッチングでパターンニングする。

【0040】そして、次に図5(b)に示すように通常のフォトリソグラフィでアルミニウムをレジスト14で取り出し塩化部以外は完全に被覆する。そして炭素を多く含む多結晶シリコン21を実施例1の方法で陽極酸化する。このとき、基板表面でのキャリア密度を増やすため光照射を行うことが望ましい。この方法によればソース・ドレイン領域17, 18(図2参照)を形成するための不純物イオン打ち込みの工程が不要となるばかりでなく、陽極酸化を行うシリコンとして、炭素を多く含む多結晶シリコンを用いているので導電率が高く、陽極酸化が容易となる。

【0041】次に、レジストを剥離すれば図5(c)に示すような陽極酸化膜15が形成されるその後、図示はしないがもう一度フォトリソグラフィ・エッチングにより各々のソース・ドレイン電極12, 13を独立させる。

【0042】最後に層間絶縁層19を堆積し、ゲート電極16を例えばクロムCrを用いて形成すれば、図5(d)に示すような薄層トランジスタが形成される。

【0043】尚、上記実施例ではソース・ドレイン電極の形成工程と不純物を含む多結晶シリコンの形成工程の順序を入れ換えても良い。

【0044】また、上記実施例ではLPCVD法を用いて炭素を多く含む多結晶シリコンを堆積したが、その他の方法、例えばプラズマCVD法、スパッタ法、ECR-CVD法等の方法でもよい。また、不純物として炭素を多く含む多結晶シリコンを用いたが、ヒ素、ボロン等のドーパもしくはアクセプタとなる不純物ならばどれでもよい。

【0045】また、上記実施例では自己整合的にゲート電極を形成したが、通常のフォトリソグラフィ・エッチングで形成しても良いことは言うまでもない。

【0046】【発明の効果】以上説明したように、本発明によれば、熱酸化物とはほぼ同等の組成で、しかも化液にはカリウムナトリウム等のアルカリ金属が含まれていないので、陽極酸化液中には可動イオンがなく信頼性が高く、絶縁破壊電界は8 MV/cmとゲート絶縁層として十分な耐圧を持っている陽極酸化膜が形成できる。

【0047】また、本発明によれば、半導体層/絶縁層界面を清浄に保つことができる薄層トランジスタが低コストで製造できる。また本発明の薄層トランジスタは性能及び信頼性に優れた薄層トランジスタであり、その採用上の

(6)

特開平5-251432

10

9

効果は大きい。

【図面の簡単な説明】

【図1】本発明の実施例1における焼結化方法を要請する装置概略図である。

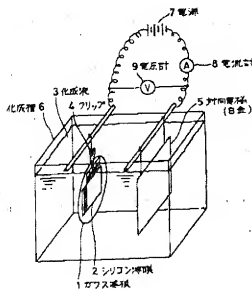
【図2】本発明の実施例2における薄膜トランジスタの製造方法の主要工程毎の概略断面図である。

【図3】本発明の実施例3における薄膜トランジスタの製造方法により製造された薄膜トランジスタの概略断面図である。

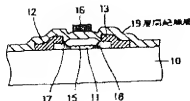
【図4】本発明の実施例4における薄膜トランジスタの製造方法の主要工程毎の概略断面図である。

【図5】本発明の実施例5における薄膜トランジスタの製造方法の主要工程毎の概略断面図である。

【図1】



【図3】



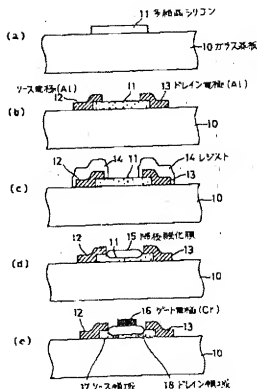
【図6】本発明の実施例7における薄膜トランジスタの製造方法の主要工程毎の概略断面図である。

【図7】従来の方法による製造されたコプレーナ型薄膜トランジスタの要部断面図である。

【符号の説明】

1、10…ガラス基板、 2…シリコン薄膜、 3…化成液、 4…クリップ、 5…対向電極(白金)、 6…化成槽、 7…電源、 8…電流計、 9…電圧計、 11…多結晶シリコン、 12…ソース電極、 13…ドレイン電極、 14…レジスト、 15…陽極酸化膜、 16…ゲート電極、 17…ソース領域、 18…ドレイン領域、 19…層間絶縁膜、 20…不純物をほとんど含まない多結晶シリコン、 21…炭を多く含む多結晶シリコン。

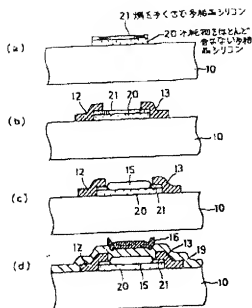
【図2】



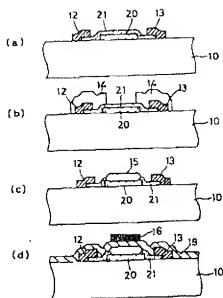
(7)

特開平5-251432

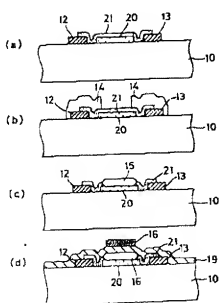
【図4】



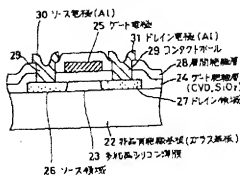
【図5】



【図6】



【図7】



フロントページの続き

(72) 発明者 志岡 達男
大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72) 発明者 川村 豊也
大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(8)

特開平5-251432

(72)発明者 富田 隆

大阪府門真市大字門真1006番地 松下電器

産業株式会社内